

電気通信大学 平成17年度シラバス

授業科目名	知識処理システム学特論1		
英文授業科目名	Advanced Topics in Knowledge Engineering 1		
開講年度	2005年度	開講年次	
開講学期	後学期	開講コース・課程	博士前期・後期課程
授業の方法		単位数	2
科目区分	情報システム学研究科-情報システム設計学専攻-特論科目		
開講学科・専攻	情報システム設計学専攻		
担当教官名	荻野 隆彦		
居室	(財)鉄道総合技術研究所		

公開E-Mail	授業関連Webページ
ogino@rtri.or.jp	<a href="http://www.csr.ncl.ac.uk/modelling-book/">http://www.csr.ncl.ac.uk/modelling-book/</a> <a href="http://www.csr.ncl.ac.uk/modelling-book/notes.html">http://www.csr.ncl.ac.uk/modelling-book/notes.html</a>

<p><b>【講義の狙い, 目標】</b></p> <p>工学の一般的手法では、設計を行う場合、作製しようとする対象物のモデルを作成し、フィジビリティや効率を確かめるのが基本的な行為である。モデルを作成する場合に重要なことは、モデルが、</p> <ul style="list-style-type: none"> <li>・作成する目的に合わせた抽象化（必要なもの以外の省略）が行われているか</li> <li>・正確に客観的な評価，解析が行えるように、厳密性を持つようにモデルとなっているか</li> <li>・(客観性を増す為に) その解析が機械的手法で行うことが出来るか</li> </ul> <p>が重要である。これらの要求から、計算機システムを設計する場合にも数学をベースとした方法論(フォーマルメソッド)を採用することが望ましい。</p> <p>本講義では、フォーマルメソッドの一つであるVDM手法(Vienna Development Method:IBMのウィーン研究所で誕生したためにこの名がある)を題材にして、フォーマルメソッドの有用性、方法論等を述べる。フォーマルメソッド自体に興味のある学生のみならず、計算機システム設計の上流工程の方法論の一つとして講義を展開して行きたい。</p>
----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

【内容】

ある処理を計算機システム化する場合、ユーザはその処理を記述する仕様を作成する。SE及びプログラマは、計算機プログラムに変換出来るように仕様を解釈し、設計し、プログラムが作成されるという手順が踏まれる。

一般的な意味でのフォーマルシステムとは、フォーマル言語と推論規則からなるシステムである。VDMでは、ユーザ仕様をフォーマルシステム上に作製されたモデル（理論）と考え、このフォーマルシステム上で、モデルに対する解析を行う考えに立っている。

VDMで下敷きにするフォーマルシステムは、仕様記述言語VDM-SLをフォーマル言語、LPF(Logic of Partial Function)を推論規則としたフォーマルシステムであり、その上に、ユーザ仕様を追加の推論規則と考えて、フォーマルシステムが拡大されてゆく。

仕様自体の無矛盾性は、下敷きにしたフォーマルシステムにユーザ仕様に対応する推論規則を矛盾なく追加することによって保証され、仕様自体がユーザの意図を反映しているかの保証は、ユーザの意図をあらゆるvalidation conjectures と呼ばれる定理が、フォーマルシステム上で証明されることによってなされる。

工学的な視点に立つと、特に、システム設計の立場に立つと、特定の仕様をフォーマルに記述し、無矛盾性などの検証のみならず、抽象度の高い仕様から、現実に近い仕様に変換することが非常に重要となる。この問題についても、出来るだけ触れる予定である。

【教科書，参考書】

- ・ソフトウェア開発のモデル化技法: 荒木啓二郎、荻野隆彦、他 訳、2003年2月、岩波書店
- ・Software Engineering Mathematics: Jim Woodcock & Martin Loomes、1988、Pitman Publishing
- ・Proof in VDM: J C Bicarregui、J S Fitzgerald、P A Lindsay、R Moore、B Ritchie、1994、Springer-Verlag
- ・Modelling Systems: J Fitzgerald、P G Larsen、1998、Cambridge University Press
- ・B-Book : J-R Abrial、1996、Cambridge University Press

【予備知識】

必要なことは講義するつもりであるが、離散数学の基礎知識を持っていることが望ましい。

【演習】

レポートの提出以外に、特に演習は行わない。

【成績評価】

提出レポートの成績で評価する。

【その他】

Formalというと堅苦しく難しそうで、面白くなさそうですが、高安全性が求められるシステムのみならず、複雑な仕様の分析や、ハードウェアに組み込まれ独立して使用されるため、簡単に変更出来ないプログラムなどへの応用も考えられ、将来的には、非常に役に立つ技術です。